Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 7 Задание 2

Предмет: «Проектирование реконфигурируемых гибридных вычислительных систем»

**Тема: «Конвейеризация вычислений»**

Студент: Ерниязов Т.Е.

Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 5](#_Toc27333760)

[2. Решение 1 без использования директивы 6](#_Toc27333761)

[2.1. Исходный коды 6](#_Toc27333762)

[2.2. Моделирование 7](#_Toc27333763)

[2.3. Синтез 7](#_Toc27333764)

[2.4. Использование ресурсов 8](#_Toc27333765)

[2.5. C/RTL моделирование 9](#_Toc27333766)

[2.6. Директивы 9](#_Toc27333767)

[3. Второе решение 10](#_Toc27333768)

[3.1. Применение директивы Pipeline 10](#_Toc27333769)

[3.2. Моделирование 10](#_Toc27333770)

[3.3. Синтез 10](#_Toc27333771)

[3.4. C/RTL моделирование 12](#_Toc27333772)

[4. Третье решение 12](#_Toc27333773)

[4.1. Изменение директив 12](#_Toc27333774)

[4.2. Моделирование 12](#_Toc27333775)

[4.3. Синтез 13](#_Toc27333776)

[4.4. C\RTL Моделирование 14](#_Toc27333777)

[5. Четвертое решение 15](#_Toc27333778)

[5.1. Изменение директив 15](#_Toc27333779)

[5.2. Моделирование 15](#_Toc27333780)

[5.3. Синтез 15](#_Toc27333781)

[5.4. C\RTL Моделирование 17](#_Toc27333782)

[6. Выводы 18](#_Toc27333783)

1. Задание

* Создать проект lab7\_2
* Микросхема: xa7a12tcsg325-1q
* Создать функцию на основе приведенных ниже слайдов.



* Создать тест lab7\_2\_test.c для проверки функций выше.
  + осуществить моделирование (с выводом результатов в консоль)
* Сделать свой solution (для каждого варианта задания директивы и для варианта без директивы)
  + задать: clock period 10; clock\_uncertainty 0.1
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование (для каждого варианта задания директивы)
    - Привести результаты из консоли
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Выводы
  + Привести обобщенную таблицу зависимости utilization и performance от каждого варианта задания директивы и для варианта без директивы.
  + Объяснить отличие процедур обращения к элементам массива для каждого случая

1. Решение 1 без использования директивы
   1. Исходный коды

Исходный код функции:

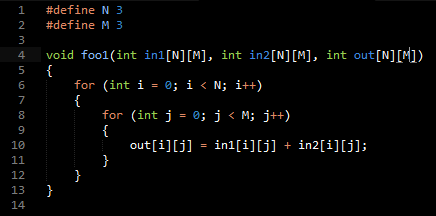


Рис. 2.1.1 source code

Исходный код теста:

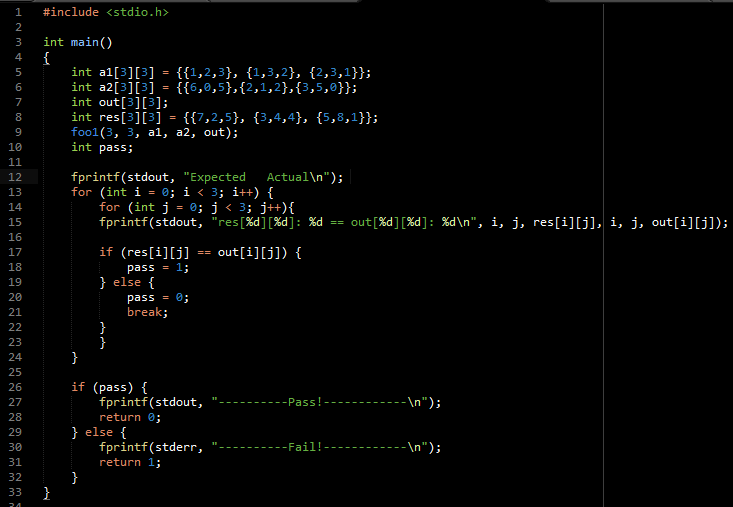


Рис. 2.1.2 test code

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

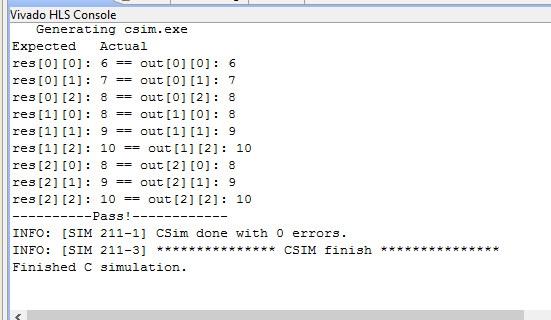


Рис. 2.2 modeling results

* 1. Синтез

На изображении видно, что полученная задержка укладывается в заданное значение. Оценочное время выполнения одного такта 7нс, а latency составляет 25 тактов.

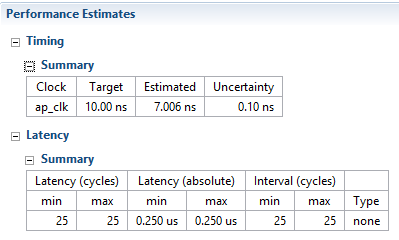


Рис. 2.3 performance estimates

* 1. Использование ресурсов

Оценка использования ресурсов показывает, что будут использованы 150 LUT и 81 триггер.

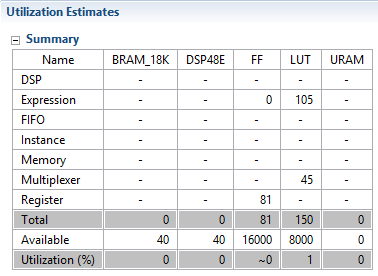


Рис. 2.4.1 Utilization estimates

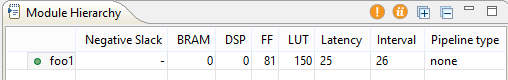


Рис. 2.4.2. Module hierarchy

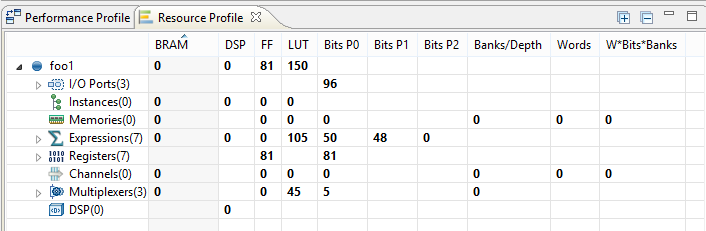


Рис. 2.4.3 Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

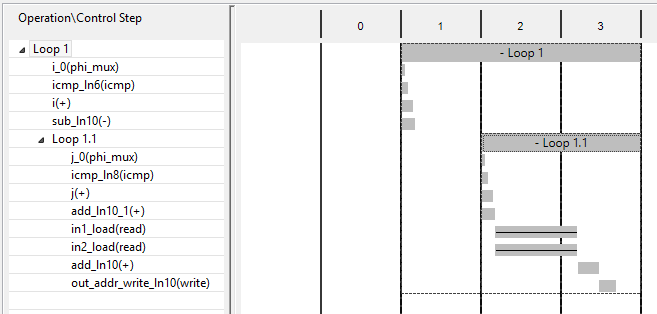


Рис. 2.4.4. Operation\Control Step

* 1. C/RTL моделирование

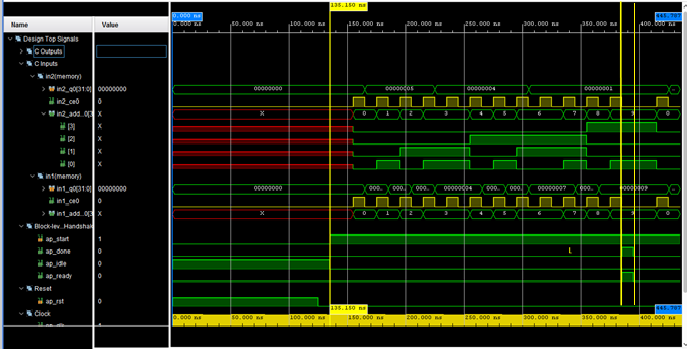


Рис. 2.5. modeling result

* 1. Директивы

В данном решение не было применено никаких директив.

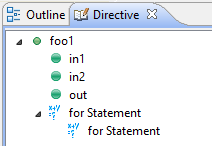


Рис. 2.6. directives

1. Второе решение
   1. Применение директивы Pipeline

В данном решении применена директива конвейеризации внутреннего цикла.

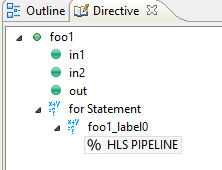


Рис.3.1 Directive Pipeline

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

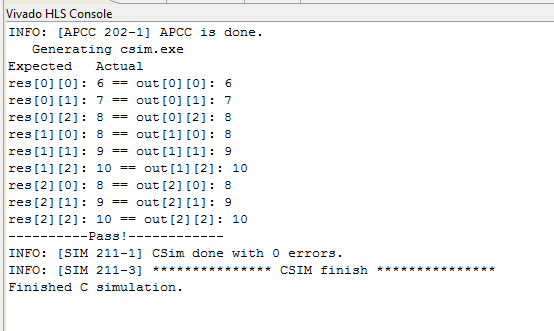


Рис.3.2 Modeling result

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 8нс, а latency составляет 11 тактов.

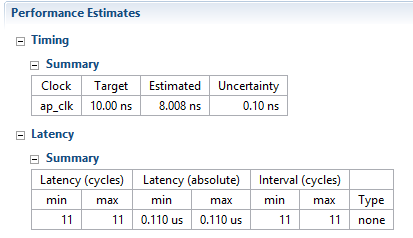


Рис. 3.3.1. Performance estimates

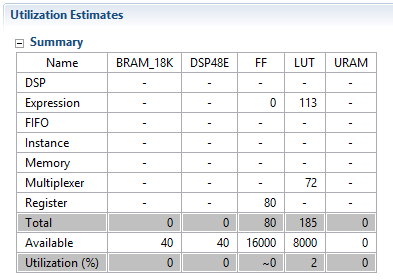


Рис. 3.3.2. Utilization estimates

Оценка использования ресурсов показывает, что будут использованы 185 LUT и 80 триггеров.

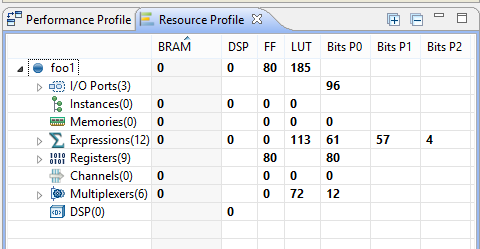


Рис. 3.3.3. Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

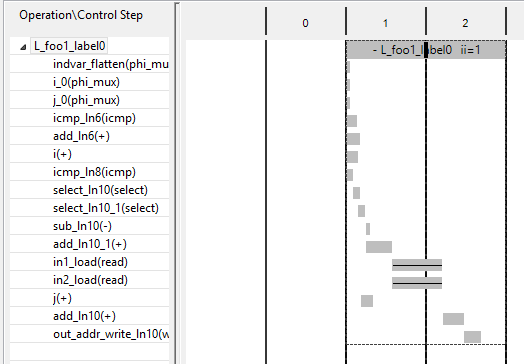


Рис. 3.3.4. Operation\Control Step

* 1. C/RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 11 тактов, а II – 12 тактов.

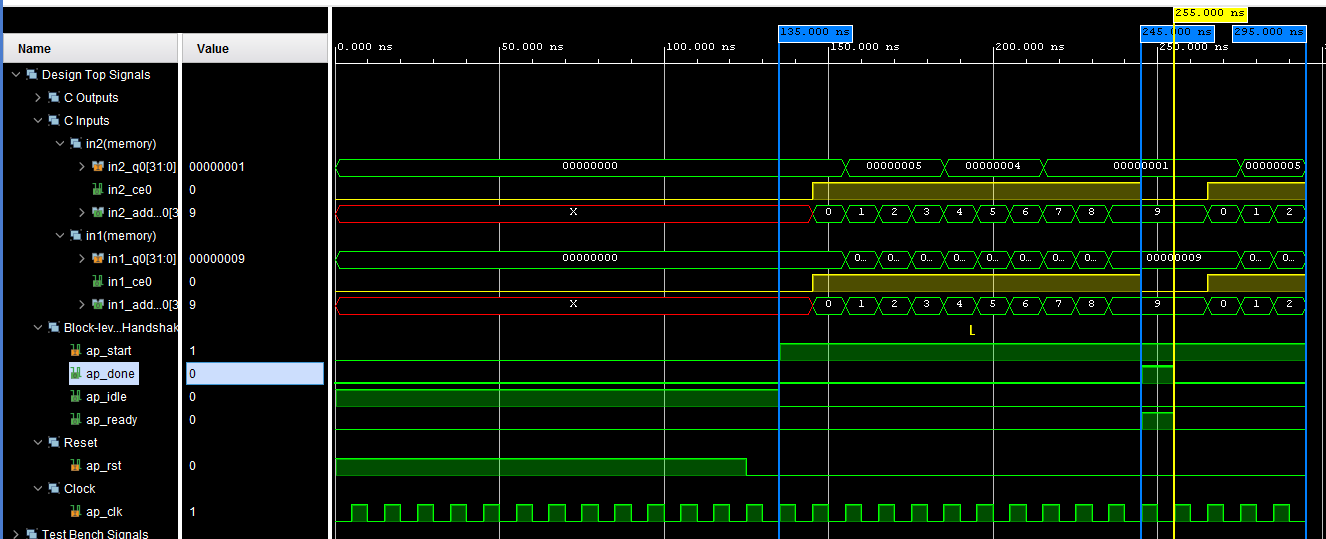


Рис. 3.4. modeling result

1. Третье решение
   1. Изменение директив

В данном решение применена директива конвейеризации внешнего цикла.

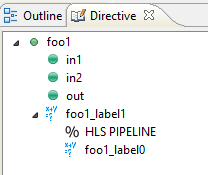


Рис. 4.1. Changing a directive

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

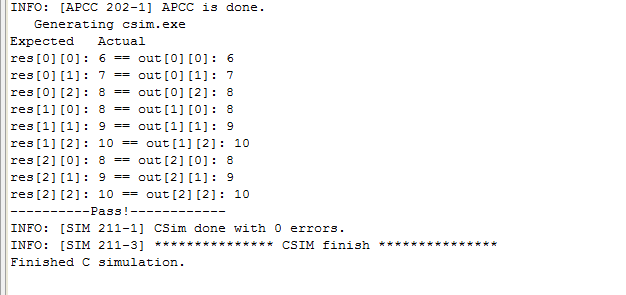


Рис. 4.2. Modeling result

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 8 тактов.

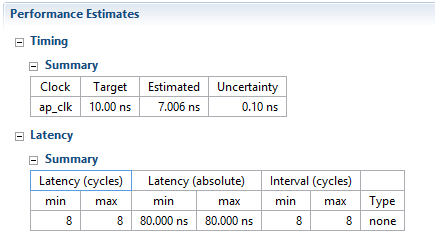


Рис. 4.3.1. Performance estimates

Оценка использования ресурсов показывает, что будут использованы 242 LUT и 208 триггеров.

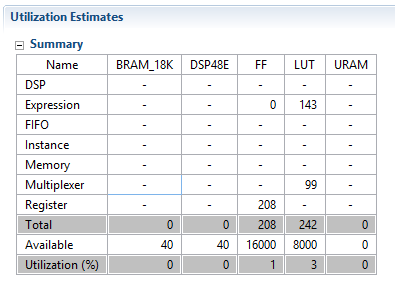


Рис. 4.3.2. Utilization estimates

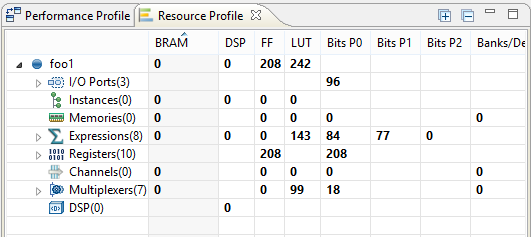


Рис. 4.3.3. Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

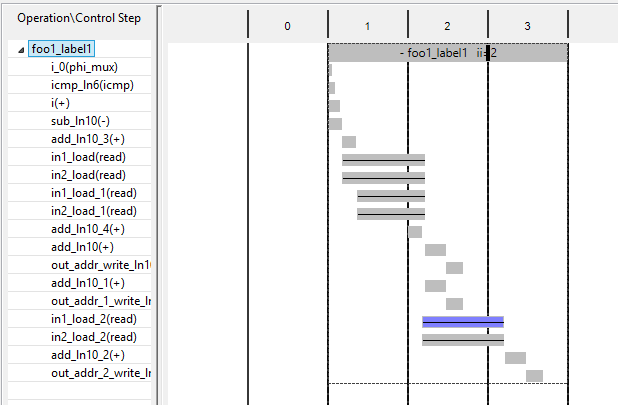


Рис. 4.3.4. Operation\Control step

* 1. C\RTL Моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 8 тактов, а II – 9 тактов.

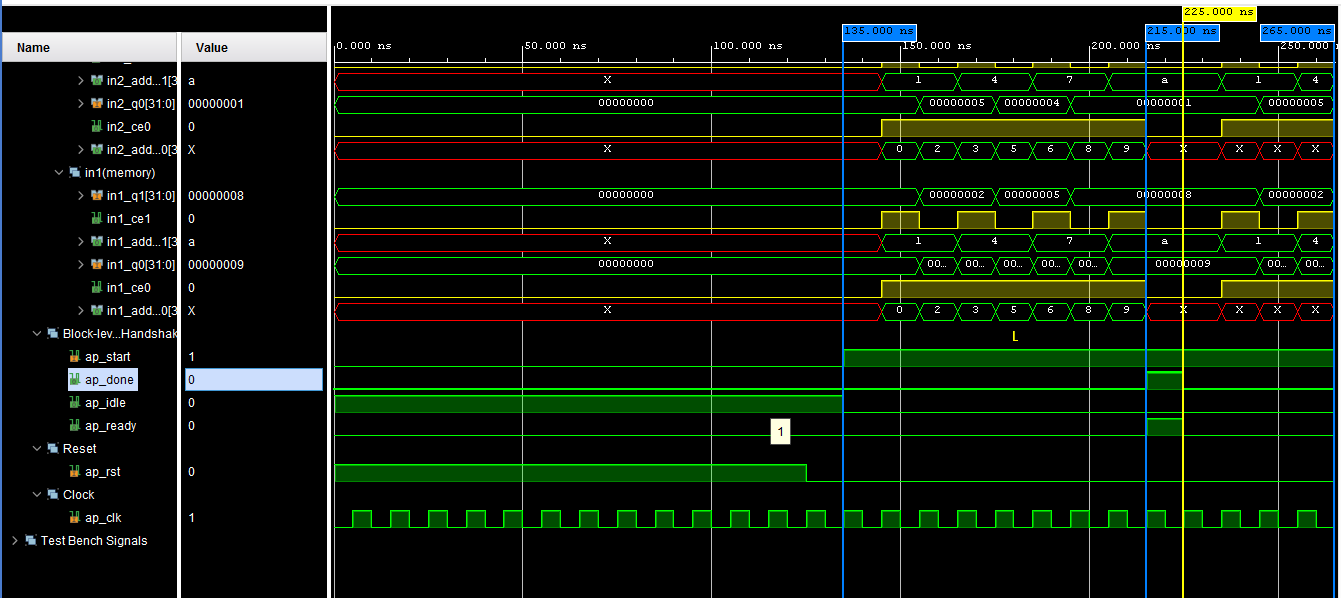


Рис. 4.4. Modeling result

1. Четвертое решение
   1. Изменение директив

В данном решении применена директива конвейеризации всего блока.

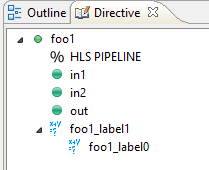


Рис. 5.1. Changing a directive

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

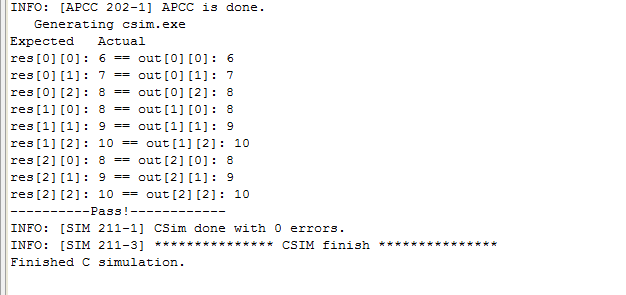


Рис. 5.2. Modeling result

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 5 тактов.

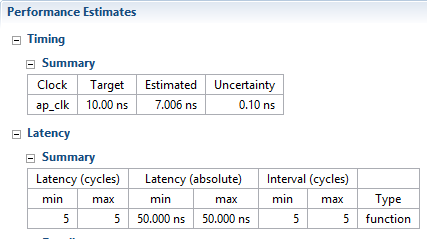


Рис. 5.3.1. Performance estimates

Оценка использования ресурсов показывает, что будут использованы 343 LUT и 7 триггеров.

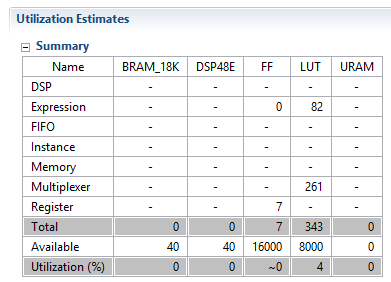


Рис. 5.3.2. Utilization estimates

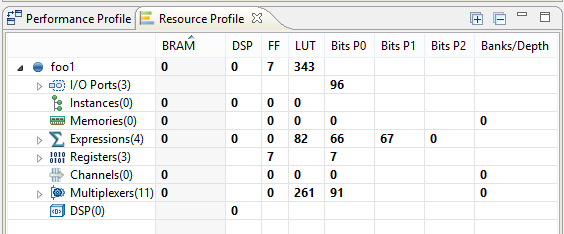


Рис. 5.3.3. Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

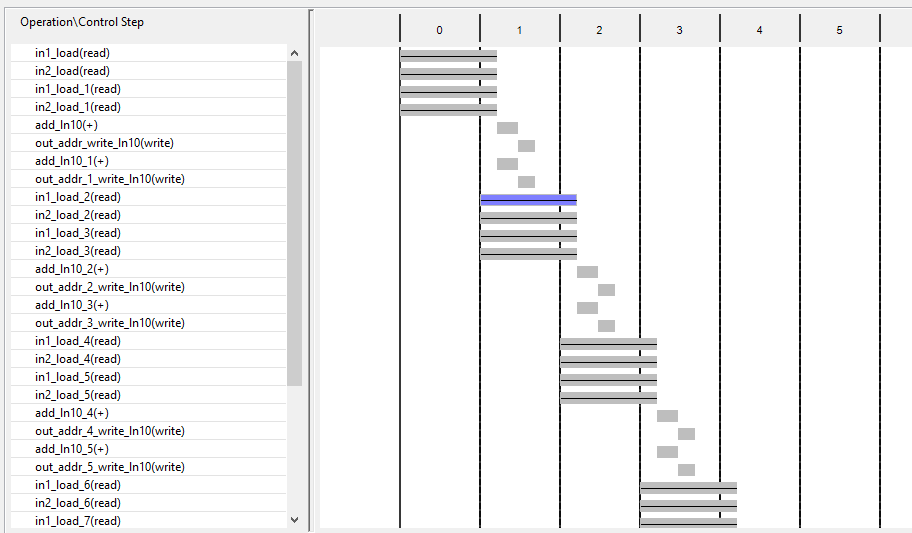


Рис. 5.3.4. Operation\Control step

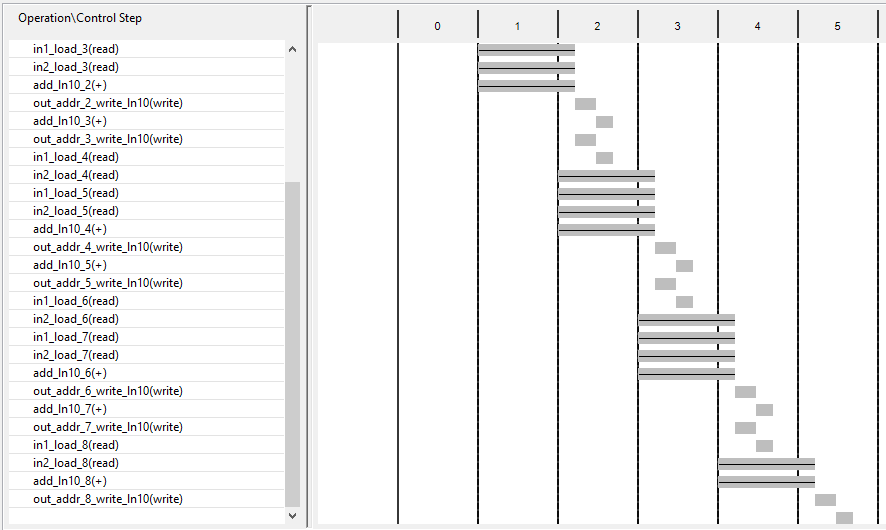


Рис. 5.3.5. Operation\Control step continue

* 1. C\RTL Моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 5 тактов, а II – 6 тактов.

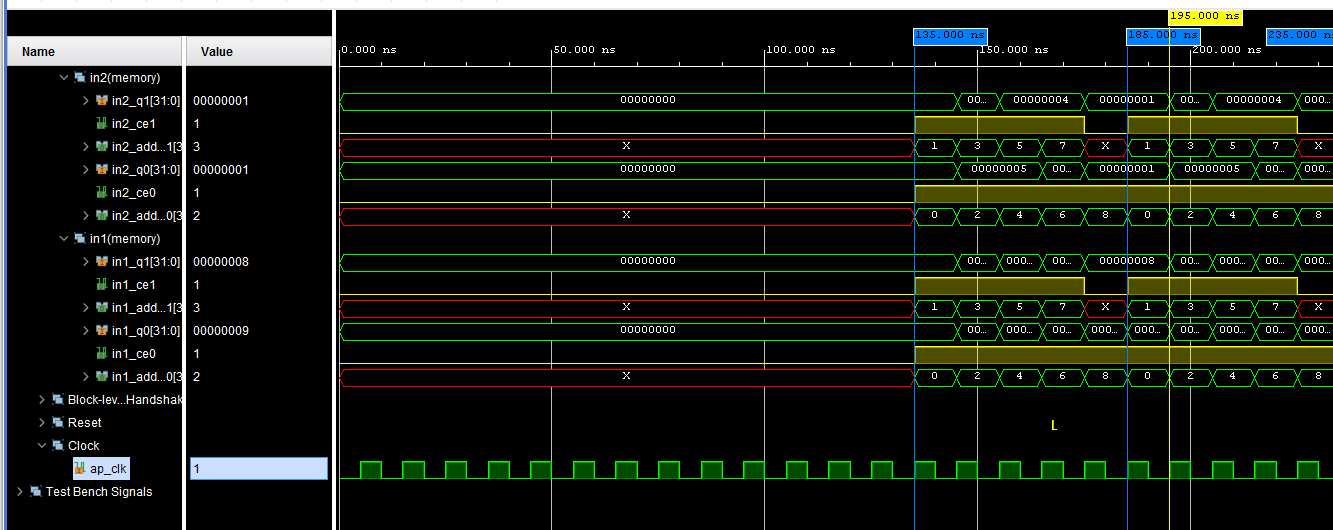


Рис. 5.4. Modeling result

1. Выводы

Как видно по сравнению, приведённому ниже, чем выше в иерархии находится директива PIPELINE, тем выше уровень параллелизма, выше пропускная способность и выше количество требуемых аппаратных ресурсов для реализации проекта.

